

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

⑦ 公開特許公報(A) 昭60-147164

⑧ Int. Cl.

識別記号

庁内整理番号

⑨ 公開 昭和60年(1985)8月3日

H 01 L 29/78

8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑩ 発明の名称 半導体装置の製造方法

⑪ 特 願 昭59-3762

⑫ 出 願 昭59(1984)1月12日

⑬ 発 明 者 大 屋 秀 市 東京都港区芝5丁目33番1号 日本電気株式会社内

⑭ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑮ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

一導電型の半導体基体表面にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極を含む表面上に第1の材料から成る薄膜を堆積する工程と、以後のエッチング工程におけるエッチングが前記第1の材料と選択性を有する第2の材料から成る膜を堆積する工程と、異方性エッチングによって、前記第2の材料膜を、前記ゲート電極の側面部分のみに残して、エッチング除去する工程と、前記ゲート電極及び該ゲート電極の側面の第1の材料膜と前工程で残された第2の材料から成る側壁をマスクとして、前記第1の材料膜を貫通して、前記の半導体基体中にソース及びドレイン拡散領域形成用の不純物をイオン打ち込みする工程と、等方性エッチングにより第2の材料

から成る前記側壁を除去する工程と、等方性エッチングにより前記第1の材料膜を除去する工程とを少なくとも含むことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

(技術分野)

本発明は、半導体装置の製造方法に関し、特にMOS型電界効果トランジスタの製造方法に関する。

(従来技術)

現在、MOSデバイスとして、シリコンゲートMOSトランジスタが一般的に使用されている。シリコンゲートMOSトランジスタは、ゲート電極を多結晶シリコンで形成し、その多結晶シリコンゲート電極に自己整合的にソース・ドレイン拡散領域を形成でき、デバイスの高集積化、高速化に達する等の種々の利点を有している。

従来のシリコンゲートMOSトランジスタの製造方法の要旨を以下に説明する。まず第1図に示

## 特開昭60-147164 (2)

すように、一結晶型単結晶シリコン基板1表面に、ゲート絶縁膜2を形成し、そのゲート絶縁膜2上に多結晶シリコン膜を成長させる。次いで、多結晶シリコン膜を所望のゲート電極の形状にパターンニングし、その多結晶シリコンのゲート電極2をマスクとして前記のシリコン基板中に基体とは反対の導電型の不純物をイオン打ち込みして、ソース領域7及びドレイン領域8を形成する。次に、イオン打ち込みされた不純物の活性化のための熱処理を行い、トランジスタを絶縁膜で被覆し、ゲート電極、ソース領域及びドレイン領域上にコンタクト孔を開孔した後、金属配線層によりゲート、ソース及びドレイン電極端子を形成する（図示せず）。

このような従来の製造方法は、非常に一般的に利用され、MOSデバイスの発展に貢献してきた。

しかし、MOSデバイスの高集積化及び高性能化のために、トランジスタの微細化が進められてくると、従来の製造方法によるトランジスタにはいくつかの不都合が生じてきた。一つは、ゲート

電極のチャネル方向の長さ（以下ゲート長と称する）の微細化の限界である。第1図中に示した部分は、ソース・ドレインを形成する不純物のチャネル中へのせり出しであり、これは、不純物の活性化のための熱処理及び他の製造工程中の熱処理によって、最初にイオン打ち込みされた時の分母状態から熱拡散することによって生じる。このために、トランジスタの実効的なチャネル長はゲート長 $L_g$ から $L_g$ の2倍を減じた値となる。実効的なチャネル長は、ソース・ドレイン間にパンテスルを生じない大きさに設定する必要があるから、ゲート長の最小限界は、実効チャネル長の最小限界よりも $L_g$ の2倍だけ大きくせねばならず、微細化の面で不利である。

他の不都合は、やはりソース・ドレイン不純物のチャネル方向へのせり出し $L_s$ によるものである。トランジスタが微細化してくると、ゲート電極とソース・ドレイン領域との平均的な重なり部分 $L_o$ に形成される容量結合が、他の部分の容量に比して無視できなくなり、トランジスタのスイッチン

グスピードの高速化に對する大きな障害となってくる。

以上のような不都合を取り除くには、ゲート電極とソース・ドレインとの重なり部分 $L_o$ ができる限り小さいか、望ましくは無いようき構造のトランジスタの製造方法が必要である。

## （発明の目的）

従来技術で製造されるMOSトランジスタには上述のような不都合があるので、本発明の目的は、ソース・ドレイン拡散領域とゲート電極間の平均的な重なりが小さい、微細化、高速化に適した構造のMOSトランジスタを容易に製造する方法を提供することである。

## （発明の構成）

MOSトランジスタの製造において、ゲート電極のパターンニングを行った後に、少なくとも次の工程を含むことによって、本発明の目的が達せられる。すなわち、半導体基板の表面全面を被覆するように第1の材料から成る薄膜を堆積する工程と、次に、これに別のエッチング工程におけるエ

ッチングが前記第1の材料との間に選択性を有する第2の材料から成る膜を、前記第1の材料膜よりも厚く堆積する工程と、次に異方性エッチングにより、前記第2の材料膜を前記ゲート電極の側面のみとし、他の部分を除去する工程と、次に前記ゲート電極及びその側面に露せられた第1の材料と第2の材料とから成る薄膜をマスクとして、前記第1の材料膜を剥離して、前記半導体基板中にソース及びドレイン拡散領域形成用の不純物をイオン打ち込みする工程と、次に異方性エッチングにより、第2の材料から成る側壁を除去する工程と、次に異方性エッチングにより前記第1の材料膜をエッチング除去する工程とを含むものである。

## （実施例）

本発明の第1の実施例を図面を用いて説明する。以下の実施例においては、Pチャネル型シリコンゲートMOSトランジスタの製造方法について述べる。

まず第2図に示すように、N型半導体不純物を

## 特開明60-147164 (3)

ドーブされたる多結晶シリコン基体1の表面を熱酸化し、300Åの厚さのゲート酸化膜2を形成する。次に多結晶シリコン膜を5000Åの厚さに堆積し、リンをドーブして導電性を持たせられた後、所望の形状にパターンングしゲート電極3を形成する。

次に、第3図に示すように、500Åの厚さのシリコン酸化膜4を通常の気相成長法で堆積し、次いで5000Åの厚さの多結晶シリコン膜5を通常の気相成長法で堆積する。

次に、第4図に示すように、CJL系のエッチングガスを用いた異方性の強いリアクティブ・イオン・エッチング法により多結晶シリコン膜5をエッチングするが、この時ゲート電極3の側面においては多結晶シリコン膜5は他の領域よりも縦方向の幾何的な厚みが厚くなっている為に、3000Åの膜厚を除去するだけのエッチングを行った後にも側壁6として残される。側壁6の厚さは、エッチングの量によって多少の変化はあるが、本実施例では約0.5μmとすることができた。この時

シリコン酸化膜4はほとんどエッチングされずに残され、シリコン基体1及び多結晶シリコンのゲート電極3をエッチングによる損傷から保護することができる。

次に、第5図に示すように、P型導電型不純物であるボロンを50keVの加速エネルギーで $5 \times 10^{15}/\text{cm}^2$ だけイオン打ち込みする。このとき、ゲート電極3及び側壁6に覆われた基体表面はマスクされ、その外側の領域にのみ、シリコン酸化膜4及びシリコン酸化膜3を貫通してボロンが打ち込まれ、ソース領域7及びドレイン領域8が形成される。

次に、第6図に示すように、非酸-銅酸系のエッチング液により多結晶シリコンの側壁6をエッチング除去する。このとき、シリコン酸化膜4は多結晶シリコンのゲート電極がエッチングされるのを防ぐ。次いでシリコン膜によりシリコン酸化膜4をエッチング除去する。

次に、第7図に示すように、リンを含んだシリコン酸化膜9を、通常の気相成長法により、素子

の保護用に基体表面全面に堆積する。その後、900℃の酸化雰囲気中で熱処理し、シリコン酸化膜9の酸素化とソース・ドレイン不純物として導入されたボロンの活性化を行う。ここでの熱処理の結果、ソース・ドレインの不純物であるボロンは再拡散して拡がり、縦方向の深さは約0.4μmとなり、また横方向にも同程度に拡がって、ソース・ドレインの拡散領域とゲート電極3の側とがほとんど一致した構造となる。これ以降のコンタクト開孔及び金属配線形成工程は任意の方法で実施することが可能であるので説明を省略する。

上述のように、本実施例に示された方法で製造されたPチャネル型MOSトランジスタは、従来の製造方法による欠点であったゲート電極とソース・ドレインとの平面的な重なりが、ほとんどない理想的な構造を有する。これは、従来の方法がソース・ドレイン不純物がゲート電極側に拡散する位置に導入され、そこから熱処理による再拡散が起きているのに対して、改良された本発明では、ゲート電極端から離れた位置にソース・ドレイン

不純物を導入し、その後の熱処理による再拡散によって拡がった結果ゲート電極端に達するという方法をとっているからである。また、本実施例では、ソース・ドレイン不純物が最初に導入される位置は、ゲート電極がパターンングされた後に堆積するシリコン酸化膜と多結晶シリコン膜の厚さによって、ゲート電極に対して自己整合的に決定される。

以上本発明を本実施例に基づいて説明したが、本発明はこれに限定されるものではない。例えば、前記実施例ではPチャネル型MOSトランジスタの製造方法について述べたが、基体をP型にし、ソース・ドレイン拡散不純物をN型導電型のヒ素或いはリン等に置き換えればNチャネル型MOSトランジスタの製造方法となる。また、前記実施例では、側壁形成のための堆積膜としてシリコン酸化膜と多結晶シリコン膜の組み合わせを用いたが、側壁形成用のエッチング工程でエッチングレートに十分な差がとれるような2種類の材料の組合せであれば適当に変更し得る。例えば、シリコン

特開昭60-147164 (4)

酸化膜とアルミニウム等も使用可能である。また、その膜厚も目的に応じて変更できる。更に、本実施例に、本発明の趣旨を逸脱しない範囲で他の工程を付加することも可能である。

以下に第1の実施例に他の工程を付加した第2の実施例について述べる。第1の実施例の第2図の断面構造を有して、次にシリコン酸化膜を形成する前に、50keVの加速エネルギーでボロンを $1 \times 10^{14}/\text{cm}^2$ だけイオン打ち込みする。以下の工程は、第1の実施例と同様の工程を経てドチャネルMOSトランジスタを製造する。こうして製造された第2の実施例によるトランジスタの断面構造を第8図に示す。ここで先にイオン打ち込みされた $1 \times 10^{14}/\text{cm}^2$ の低濃度のボロン拡散領域10は、高濃度のソース領域7、ドレイン領域8とトランジスタのチャネル領域を確実に結ぶ、ソース・ドレインがチャネルから離れたいわゆるオフセット構造となるのを防止する。ここで、このボロン拡散領域程度の不純物濃度であれば、工程中の熱処理による横方向拡散は無視できる。この工程

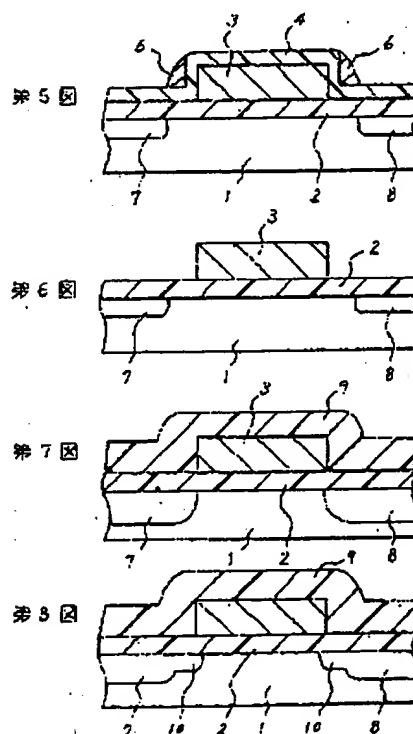
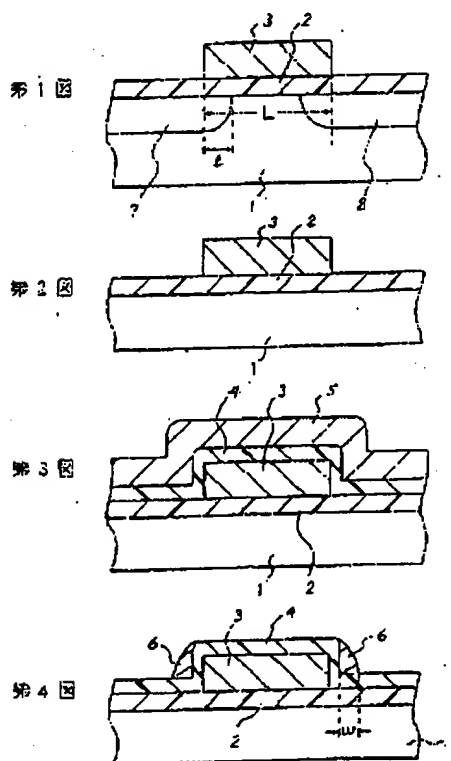
の追加により、トランジスタのオフセットゲート化を心配する必要がなく、制膜形成用材料膜の膜厚の選択及び熱処理条件の選択等の自由度が増大する。

#### 4. 図面の簡単な説明

第1図は従来方法を説明するためのMOSトランジスタの断面図、第2図ないし第7図は本発明の第1の実施例を説明するために工程順に示した断面図、第8図は本発明の第2の実施例を説明するために示したMOSトランジスタの断面図である。

1……単結晶シリコン基体、2……ゲート酸化膜、3……ゲート電極、4……シリコン酸化膜、5……多結晶シリコン膜、6……多結晶シリコンの傾斜、7、8……ソース・ドレイン拡散領域、9……シリコン酸化膜、10……低濃度ソース・ドレイン拡散領域。

代理人 弁士 内 派 音





(19)

60147164 A

(11) Publication number:

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 59003762

(51) Intl. Cl.: H01L 29/78

(22) Application date: 12.01.84

(30) Priority:

(43) Date of application  
publication: 03.08.85

(84) Designated contracting  
states:

(71) Applicant: NEC CORP

(72) Inventor: OYA SHUICHI

(74) Representative:

### (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

**PURPOSE:** To reduce plane-shaped superposition among source-drain diffusion regions and gate electrode, and to miniaturize a semiconductor device and increase the speed of the semiconductor device by implanting the ions of an impurity for forming the source-drain diffusion regions into a semiconductor base body and executing isotropic etching.

CONSTITUTION: The surface of a single crystal silicon base body 1 is thermally oxidized, a gate oxide film 2 is formed, and a gate electrode 3 is shaped through patterning. A polycrystalline silicon film 5 is etched through an anisotropic strong reactive-ion-etching method using a  $\text{CCl}_4$  group etching gas. The ions of boron as a P type conduction type impurity are implanted. The surface of the base body coated with the gate electrode 3 and side wall 6 is masked at that time, and boron is implanted only into regions on the outsides of the masked surface of the base body while penetrating an silicon nitride film 4 and the silicon oxide film 3 to form a source region 7 and a drain region 8. The side walls 6 consisting of polycrystalline silicon are removed through etching by a hydrofluoric acid-nitric acid group etching liquid. The silicon nitride film 4 is removed through etching by hot nitric acid. An silicon oxide film 9 containing phosphorus is deposited on the whole surface of the base body for protecting an element, and thermally treated.

COPYRIGHT: (C)1985,JPO&Japio

